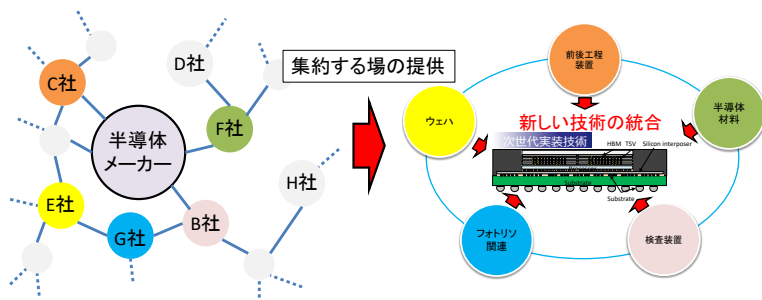


多様化するMore than Moore の電子デバイスシステム集積技術に向けて、先端実装技術の産業分野への展開や次世代実装技術の産官学連携開発体制構築を目指した研究会を2022年に設立しました。

オープンイノベーション研究開発拠点の構築

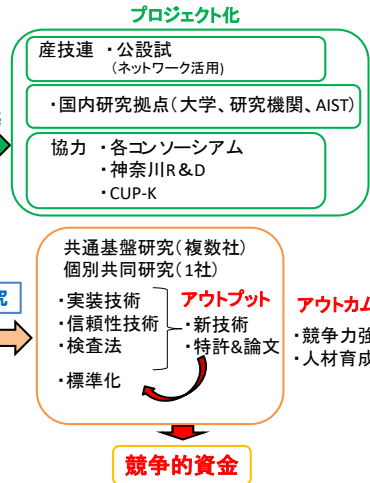
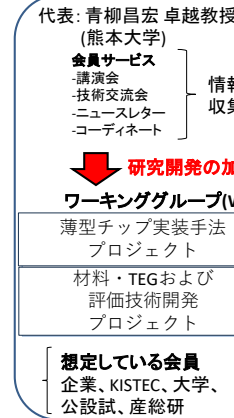
半導体関連企業: **水平分業型**

次世代実装システム技術研究会



次世代電子実装システム技術研究会の運営

次世代電子実装システム技術研究会
(KISTEC主催)



高速実装(短TAT)および低応力化

・高速実装が可能になれば、短TATでデバイスが作製可能。
→3次元積層実装と言った薄チップのマルチコア、多層化したデバイスへの実装が有利に。
→ひっ迫する半導体生産数の改善。

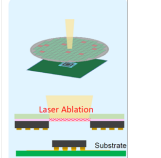
・積層実装デバイスへの適用。
(薄チップの多層化、マルチコア化)

薄いチップ(脆弱)

低応力

- ・自己接着剤
- ・溶融接合材料
- ・低応力接合材料

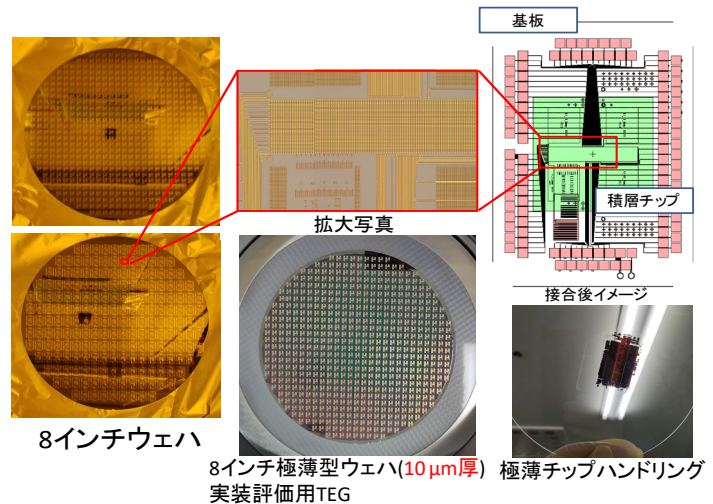
低応力&高速実装
・レーザー転写技術



技術提供: 東レエンジニアリング株式会社

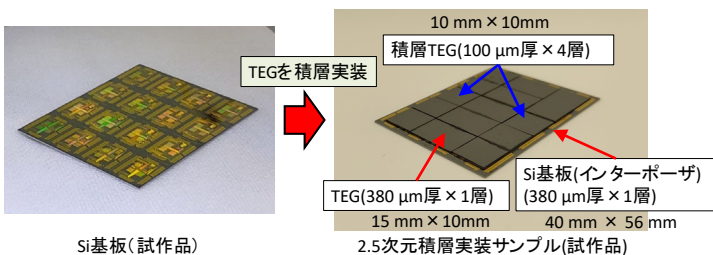
高速(短TAT)で低応力で実装が可能であるため**光デバイス**、**パワーデバイス**、**MEMSデバイス**など、多くのデバイスなど活用の範囲は広いと考える。

接合評価用TEGの作製



2.5次元積層実装プロセスの確認

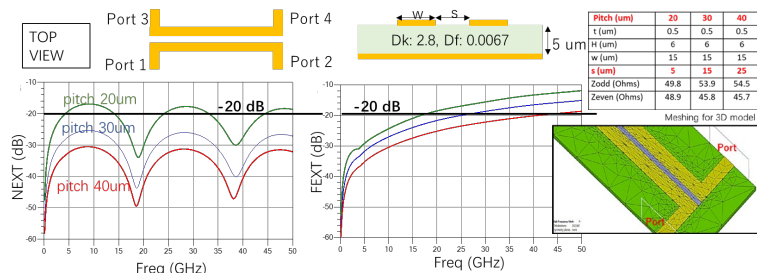
・フリップチップ接合装置等を駆使し2.5次元積層実装プロセスを検証。
→100 μm厚の積層実装方法を確認した。
(50 μm厚についても検証をした実績あり。)
高速化と薄型チップへの対応が重要



ブリッジ構造の高周波シミュレーション(試作)

・インターポーザ等の高周波化への対応。
→特性インピーダンス 50Ω時のLine & Spaceで実施

(国研)産業技術総合研究所
センシングシステム研究センター
林 瑛瑛



- ・ Up to 30 GHz: a minimum pitch of 40μm suffices.
- ・ Up to 50 GHz: pitch of >40μm required.